

L1: Entry 9 of 13

File: DWPI

Feb 27, 1992

DERWENT-ACC-NO: 1992-118910

DERWENT-WEEK: 199215

COPYRIGHT 2004 DERWENT INFORMATION LTD *tsukumo*

TITLE: Forming multilayer wiring of IC device - by depositing conductive film in etched opening reaching lower metal conductor and making conductive sidewall
NoAbstract Dwg 1/2

PRIORITY-DATA: 1990JP-0171549 (June 29, 1990)

Search Selected

Search ALL

Clear

Tsukumo

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

☐ JP 04061360 A

February 27, 1992

004

INT-CL (IPC): H01L 21/90

L2: Entry 9 of 13

File: JPAB

Feb 27, 1992

PUB-NO: JP404061360A

DOCUMENT-IDENTIFIER: JP 04061360 A

TITLE: FORMATION OF MULTILAYER INTERCONNECTION OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 27, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

TSUKUMO, TOSHIKI

US-CL-CURRENT: 438/680; 438/699, 438/763

INT-CL (IPC): H01L 21/90

ABSTRACT:

PURPOSE: To prevent adverse influence of gas removed from an SOG film to metal interconnections in a through hole by forming a conductive protection film on the sidewall of the hole.

CONSTITUTION: Aluminum is deposited on a semiconductor substrate 1, a first Al interconnection 2 is formed, a first insulating film 3 is formed thereon by a plasma CVD method, further coated with Si compound, baked, an SOG film 4 is formed of SiO₂, the substrate is flattened, and a second insulating film 5 is formed thereby by plasma SiO₂. The substrate is flattened, and the film 5 is formed thereby by plasma SiO₂. Then, it is masked with positive type resist, the films 3, 5 and the film 4 are removed by reactive ion etching, and an opening 8a is formed, and the resist is removed. The hole 8a and the film 5 are covered with conductive films 6, etched back to form a conductive sidewall 9 as a through hole 8, aluminum is deposited to form a second Al interconnection 7, and connected to the interconnection 2 to form multilayer interconnections.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-61360

⑮ Int. Cl.⁵

H 01 L 21/90

識別記号

A
Q

庁内整理番号

6810-4M
6810-4M

⑬ 公開 平成4年(1992)2月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の多層配線形成方法

⑯ 特 願 平2-171549

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 九 十 九 敏 樹 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川 崎 製 鉄 株 式 会 社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁 理 士 森 哲 也 外3名

明 細 書

1. 発明の名称

半導体装置の多層配線形成方法

2. 特許請求の範囲

- (1) 半導体基板上に形成した第1の金属配線を覆うように第1の絶縁膜を形成し、該第1の絶縁膜上にSi化合物を主成分とする溶液を塗布焼成することでSOG膜を形成して平坦化をはかり、そのSOG膜上に第2の絶縁膜を形成した後、前記第1の金属配線に連するスルーホールを形成し、さらに、第2の絶縁膜上及びスルーホール内に第2の金属配線を形成する半導体装置の多層配線形成方法において、前記スルーホールを形成する際に、第1の金属配線に連する開孔を形成し、該開孔に前記SOG膜からの脱ガスに対して耐性を有する高導電性物質でなる導電膜を被着した後、これをエッチバックして前記開孔の側壁部の導電膜のみを残して、前記SOG膜の露出部を覆う導電性サイドウォールを形成することを特徴とする半導体装置の多層配線形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の多層配線の形成方法において、上下の配線間を接続するためのスルーホールを形成する際に、その側壁に露出しているSOG膜を覆うことで、SOG膜からの脱ガス等による悪影響から金属配線を保護する半導体装置の多層配線を形成する方法に関する。

(従来の技術)

従来の半導体装置、例えばバイポーラ集積回路やMOS集積回路では、高集積密度化のために多層配線が施されている。このような半導体装置の多層配線の形成は、まず、第2図に示すように、半導体基板1の表面にアルミニウムを蒸着した後、所定の配線パターンにエッチングして第1のA₂配線2を形成する。次いで、半導体基板1および前記配線2の上に、プラズマCVD法によりプラズマSiO₂でなる第1の絶縁膜3を形成する。

さらに、前記第1の絶縁膜3上の段差を埋めて半導体基板の平坦化をはかるために、Si化合物

4を主成分とする溶液を前記第1の絶縁膜3上に塗布した後、熱処理によって硬化させてSOG膜4を形成する。次に、前記形成した平坦面上に、プラズマCVD法によりプラズマSiO₂でなる第2の絶縁膜5を形成する。

前記工程が終了したら、第1のAl配線2上の第1及び第2の絶縁膜3、5とSOG膜4をエッチングして、第1のAl配線2を露出させてスルーホール10を形成する。

次に、前記形成したスルーホール10にアルミニウムを蒸着して、第2のAl配線7を形成して第1のAl配線2と接続する。

〔発明が解決しようとする課題〕

しかしながら、従来の半導体装置の多層配線形成方法では、スルーホール10の側壁で露出しているSOG膜4からの水蒸気等の脱ガスにより、第1のAl配線2と第2のAl配線7を接続しているスルーホール10内のAl配線が腐蝕することにより空隙が生じて接触抵抗が大きくなり、導電不良を起こして半導体装置の歩留が劣化すると

いう問題があった。

また、Al配線の微細化に伴い、スルーホール10のアスペクト比が大きくなり、SOG膜5による脱ガスのためにスルーホール10側壁へのアルミニウムの付着量が減少したり、下地アルミニウム上に絶縁物が形成され、Al配線が導通不良になるという問題もあった。

この発明は、スルーホール側壁に導電性保護膜を形成することで、SOG膜からの脱ガス等によるスルーホール内の金属配線への悪影響を防止することができる半導体装置の多層配線形成方法を提供することを目的としている。

〔課題を解決するための手段〕

上記目的を達成するために、この発明の半導体装置の多層配線形成方法は、半導体基板上に形成した第1の金属配線を覆うように第1の絶縁膜を形成し、該第1の絶縁膜上にSi化合物を主成分とする溶液を塗布焼成することでSOG膜を形成して平坦化をはかり、そのSOG膜上に第2の絶縁膜を形成した後、前記第1の金属配線に達する

スルーホールを形成し、さらに、第2の絶縁膜上及びスルーホール内に第2の金属配線を形成する半導体装置の多層配線形成方法において、前記スルーホールを形成する際に、第1の金属配線に達する開孔を形成し、該開孔に前記SOG膜からの脱ガスに対して耐性を有する高導電性物質でなる導電膜を被着した後、これをエッチバックして前記開孔の側壁部の導電膜のみを残して、前記SOG膜の露出部を覆う導電性サイドウォールを形成することを特徴としている。

ここで、前記高導電性物質としては、高濃度の不純物（例えば 10^{19}cm^{-3} 程度の濃度のリンやボロン）を含んだアモルファスSiやTiN、W等がある。

〔作用〕

本発明の半導体装置の多層配線形成方法では、SOG膜による脱ガスから金属配線のコンタクト部分を保護するために、スルーホールの側壁にSOG膜からの脱ガスに対して耐性を有する高導電性物質でなる導電性サイドウォールを形成する。

この導電性サイドウォール形成によりスルーホールの径が小さくなり、第2の金属配線の断面積が減少して通電抵抗を増すことになるが、サイドウォールが導電性の高い物質で形成されるために、この導電性サイドウォールを含んで導電路が形成されて、配線の実効的なスルーホールの径は変わることがなく、しかもエッチバックのマージンを広くとることができ、厳密なエッチバックの制御を必要としない。

〔実施例〕

以下、この発明の実施例を図面に基つて説明する。第1図(a)~(f)は、本発明の一実施例を示す断面図であり、半導体装置の製造工程の一部分を示している。

まず、製造工程を説明すると、スパッタ装置を使用して半導体基板1の上にアルミニウムを蒸着した後、フォトリソングにより前記蒸着したアルミニウムの膜を所定の配線パターンにエッチングして、第1のAl配線2を形成する。

次に、プラズマCVD法により、前記基板1お

よび第1のA₂配線2の上に、プラズマSiO₂でなる第1の絶縁膜3を形成する(第1図(a)を参照)。

次に、前記第1の絶縁膜3の上にSOG法により、Si化合物を主成分とするエタノール有機溶剤を塗布した後、400℃で焼成してSiO₂でなるSOG膜4を形成することで、第1の絶縁膜3の表面に形成された段差を埋めて、基板の平坦化をはかる。

次に、前記形成したSOG膜4の上にプラズマCVD法により、プラズマSiO₂でなる第2の絶縁膜5を形成する(第1図(b)を参照)。

次に、第1のA₂配線2の一部を露出させてスルーホール8を形成するために、図示していないポジ型レジストを被着して、これに光を選択的に照射してマスクを形成し、反応性イオンエッチングにより第1のA₂配線2上の第1及び第2の絶縁膜3、5とSOG膜4を除去して、開孔8aを形成し、さらに、前記被着したレジストを除去する(第1図(c)を参照)。

ことにより、スルーホール8の側壁で露出していたSOG膜4が導電性サイドウォール9で覆われるため、SOG膜4から出る脱ガスからA₂配線を保護して導電不良を防止する。

また、導電性サイドウォール9の形成により、スルーホール8の径が小さくなってA₂配線自体の断面積が減少することにより、通電抵抗は大きくなるが、前記サイドウォール9を導電性物質で形成するために、このサイドウォール9とA₂配線との全体の通電抵抗は導電性サイドウォール9を形成しないときのA₂配線の抵抗と殆ど変化がなく、A₂配線の実効的なスルーホール8の径は変更されない。

なお、本実施例では、金属配線としてアルミニウムを使用した。W、Ti、Mo等の導電性金属又はその化合物を適用することができ、要は半導体基板上への蒸着可能な導電性物質であれば良い。

また、サイドウォールを形成する物質として、高濃度の導電性不純物を含んだアモルファスSi

次に、前記形成した開孔8a内および第2の絶縁膜5の上に、プラズマCVD法により、例えばリンやボロンなどの不純物を 10^{19}cm^{-3} 程度の濃度で含んだアモルファスSiでなる導電膜6を被着し(第1図(d)を参照)、その導電膜6を反応性イオンエッチングによりエッチバックして、開孔8aの側壁部分のみ残し導電性サイドウォール9を形成することにより、スルーホール8を形成する(第1図(e)を参照)。このとき、前記サイドウォール9は後に形成するA₂配線と共に導電路を形成するために、前記エッチバックのマージンを広くとることができるので、厳密なエッチバックの制御を必要としない。

次に、前記形成したスルーホール8にアルミニウムを蒸着し、所定の配線パターンにエッチングして第2のA₂配線7を形成して(第1図(f)を参照)、第1のA₂配線2と第2のA₂配線7を接続し、目的とする半導体装置の多層配線が形成される。

以上の工程で半導体装置の多層配線を形成する

を使用した。TiN、W等の導電性材料を適用することができ、要はスルーホール側壁に被着し、SOG膜4からの脱ガスに対して耐性を有する高導電性物質であれば良い。

さらに、本実施例では、絶縁膜3、5をプラズマCVD法によって形成したが、これに代えて減圧CVD法等の他の公知の手段を使用して形成するようにしても良い。

さらにまた、本実施例では、有機系Si化合物を使用したSOG法によってSOG膜を形成したが、これに代えて無機系Si化合物を使用したSOG法によってSOG膜を形成するようにしても良い。

(発明の効果)

以上説明してきたように、本発明の半導体装置の多層配線形成方法では、導電性サイドウォールによって、SOG膜から金属配線を保護するために、金属配線のカバーリッジが向上し、且つ、前記SOG膜からの脱ガスによる導通不良を防止して、歩留の良好な配線が可能になるという効果が

ある。

また、サイドウォールを導電性の物質で形成するため、スルーホールの側壁にサイドウォールを形成しても、導電性サイドウォールが導電路の一部になるために、実効的なスルーホールの径は変わることがなく、しかもエッチングに対するマージンを広くとることができるため、エッチバック時の制御を厳密に行う必要がないという効果もある。

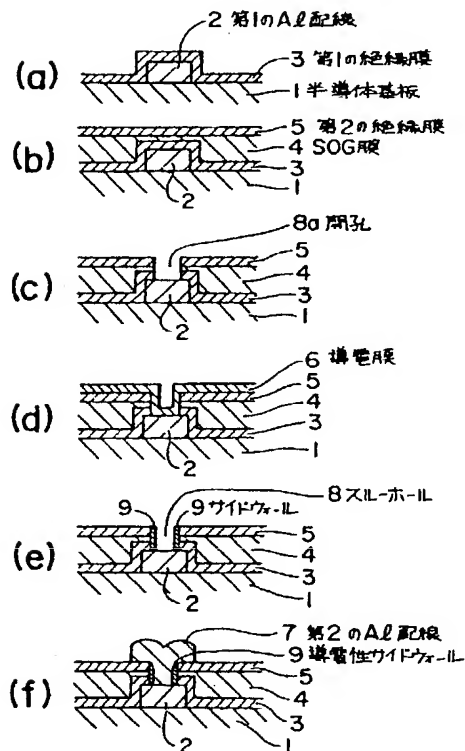
さらに、従来の工程に導電性サイドウォール形成工程を追加するだけで、SOG膜からの脱ガスの影響を除去した多層配線の形成が可能になるという効果もある。

4. 図面の簡単な説明

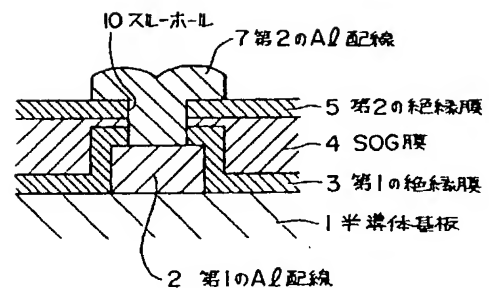
第1図(a)～(f)は半導体装置の工程を示す断面図、第2図は従来の半導体装置を示す断面図である。

1・・・半導体基板、2・・・第1のAl配線、3・・・第1の絶縁膜、4・・・SOG膜、5・・・第2の絶縁膜、6・・・導電膜、7・・・第2のAl配線、8・・・スルーホール、9・・・

第1図



第2図



導電性サイドウォール

特許出願人

川崎製鉄株式会社

代理人 弁理士 森 哲也

弁理士 内藤 嘉昭

弁理士 清水 正

弁理士 大賀 真司